

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-163877

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/46		D 7376-4M		
21/90		D 7514-4M		
21/336				
29/784				
		7377-4M	H 0 1 L 29/ 78	3 0 1 Y
			審査請求 未請求 請求項の数3(全 4 頁)	

(21)出願番号 特願平4-335213

(22)出願日 平成4年(1992)11月19日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 伊藤 裕康

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 浅井 昭喜

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 島元 孝則

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

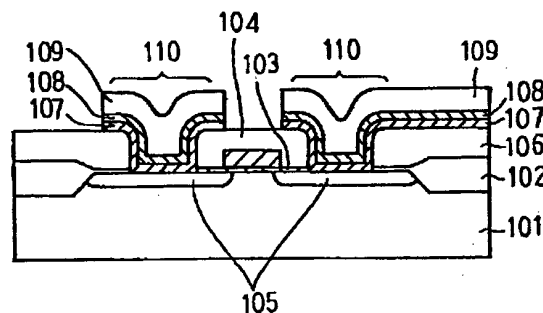
(74)代理人 弁理士 藤谷 修

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】高集積化に対応したコンタクト形成による半導体装置の寿命向上。

【構成】半導体素子を覆う絶縁層のCVD酸化膜106に設けられたコンタクト孔110には、最下層に多結晶シリコン膜107があり、その上にバリアメタルの高融点金属複合膜108が形成され、その上にアルミ合金電極109が形成されている。高融点金属複合膜108は下層がTi、上層はTiNとなっている。多結晶シリコン膜のシリコンは元々基板材であって、異常拡散の生じることがない。また、多結晶シリコン膜107の上層部のシリコンはTiとシリサイドを形成し、体積変化はこの層の中で生じて拡散領域105には影響しない。このTiシリサイドは約 $17\mu\Omega\cdot\text{cm}$ でTi金属の比抵抗値(約 $45\mu\Omega\cdot\text{cm}$)よりも低抵抗であるため、導電性が確実になるばかりでなく、絶縁層上の段差の部分で配線が細くなって抵抗が上がるのを補う効果もある。



- 101 ... 半導体基板
- 102 ... フィールド酸化膜
- 103 ... ゲート酸化膜
- 104 ... ゲート電極
- 105 ... ソース、ドレイン
- 106 ... CVD酸化膜
- 107 ... 多結晶シリコン
- 108 ... 高融点金属複合膜
- 109 ... アルミ合金電極
- 110 ... コンタクト孔

1

【特許請求の範囲】

【請求項1】半導体基板上の絶縁層に形成されたコンタクト孔に、高融点金属複合膜とアルミ合金層との積層配線を有する半導体装置において、前記コンタクト孔に接続される前記積層配線の直下部であって、前記コンタクト孔の外周、内壁および底部の全てに多結晶シリコン膜が形成され、前記多結晶シリコン膜は前記高融点金属複合膜の最下層に含まれる高融点金属との化学的量的組成よりも多量な多結晶シリコンを含んでいる膜厚であること、前記多結晶シリコン膜の上層部が、前記多結晶シリコン膜の上にある前記高融点金属複合膜の最下層に含まれる高融点金属とシリサイドを形成していることを特徴とする半導体装置。

【請求項2】前記コンタクト孔がソース、ドレインであって、前記多結晶シリコン膜は、前記ソース、ドレインの伝導型と同一の不純物が添加されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記多結晶シリコン膜と、前記コンタクト孔の底部以外の少なくとも内壁部分との間に、不活性層が形成されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁層にコンタクト孔を設けて電極が形成されている半導体装置の構造に関する。

【0002】

【従来の技術】半導体素子、特にMOS型集積回路装置の微細化、高集積化に伴い、半導体接合部（拡散領域）の深さが浅くなると共に、コンタクト面積の縮小、配線の細線化が進んでいる。これに伴ってコンタクト抵抗の増大が生じており、これを改善するために、従来は、図2に示す様なバリアメタルと呼ばれる高融点金属複合膜208とアルミ合金209との積層電極構造が提案され実施されている（例えば特公平3-3395号公報など）。この膜の役割は、元々電極材であるアルミ合金層のAlがシリコン基板と溶解しやすいために拡散しやすく、これを防ぐために拡散しにくい高融点金属膜を設け正常な導電性を確保するものである。現在この高融点金属複合膜としては、Ti（下層）/TiN（上層）またはTi（下層）/W（上層）の複合膜が最も一般的であり、ソース、ドレインの拡散領域の上にTi膜、その上にTiN又はW膜が形成され、それからアルミ合金配線という構造となっている。Tiが直接Alの層に接触しないようにするのは、AlとTiが合金を形成して電極の劣化を早めるためである。

【0003】

【発明が解決しようとする課題】しかしながら、このような構造において、更に高集積化が進んだ、より浅いソース、ドレイン拡散領域になると、拡散しにくい高融点

2

金属であっても、例えばTi金属とソース、ドレイン拡散領域との結合化、即ちオーミックコンタクトの形成のための熱処理時にTiがとりわけコンタクト孔のエッジ付近で体積変化を起こしてボイドを形成してしまったり、異常拡散して拡散領域を越えて基板側まで侵出するというアロイスバイクの形成がなされてしまい（図2（b）参照）、接触不良やリークが生じたりする問題がある。また、絶縁層である酸化膜上の配線部においてはコンタクトを形成しない高融点金属が存在することになるので、その余剰のTiとAlとの化合物やNとの化合物生成による配線寿命劣化などの問題もある。

【0004】

【課題を解決するための手段】上記の問題を解決するための第一発明の構成は、コンタクト孔に高融点金属複合膜とアルミ合金層との積層配線を有する半導体装置において、このコンタクト孔に接続される積層配線の直下部であって、コンタクト孔の外周、内壁および底部の全てに多結晶シリコン膜を有し、その多結晶シリコン膜は高融点金属複合膜の最下層に含まれる高融点金属との化学的量的組成よりも多量な多結晶シリコンを含んでいる膜厚であり、多結晶シリコン膜の上層部が、この多結晶シリコン膜の上にある高融点金属複合膜の最下層に含まれる高融点金属とシリサイドを形成していることを特徴とする。また、第二発明の構成は、前記コンタクト孔がソース、ドレインであって、多結晶シリコン膜はソース、ドレインの伝導型と同一の不純物が添加されているものであることを特徴とする。第三発明の構成は、多結晶シリコン膜と、コンタクト孔の底部以外の少なくとも内壁部分との間に、不活性層が形成されていることを特徴とする。

【0005】

【作用】高融点金属原子は多結晶シリコン膜により半導体基板の側に拡散されにくくなり、シリコン基板と結合性の良い多結晶シリコンが基板と高融点金属複合膜との間に介在して高融点金属とシリサイドを形成し、余分な高融点金属が拡散してしまわないよう固定化する。また、コンタクト孔の内壁の不活性層は基板の絶縁層に含まれる不純物が多結晶シリコン膜に拡散されるのを防ぐ。

【0006】

【発明の効果】高融点金属原子が半導体基板の側に拡散されにくくなるので、アロイスバイクは生じず、リークなどの不具合を発生することが防げ、シリサイド形成でコンタクトも確実に半導体装置の信頼性が向上する。かつ、アルミ電極材側へ高融点金属原子が拡散して電極劣化を生じることも防げる。また、コンタクト孔の内壁に不活性層を設けた場合には、絶縁層の不純物が多結晶シリコン膜を汚染することを防ぐ。特にその電極の拡散領域の伝導型と違う伝導型になるのを防ぐ。

【0007】

50

【実施例】以下、本発明を具体的な実施例に基づいて説明する。図1は、本発明の一実施例を示す半導体装置の模式断面図で、MOS型集積回路の素子の一つを表している。それに対し、従来は、図2(a)に示すように、半導体装置の構造はほぼ同一であるが、コンタクト孔部分210の下層には多結晶シリコンがなく、ただバリアメタルの高融点金属複合膜208が形成されているのみである。この場合、ソース、ドレイン拡散領域205がより薄いと、高融点金属をCVDなどでコンタクト孔に堆積させた後に行うオーミックコンタクト形成処理、即ち熱処理の際に、図2(b)に示すように、わずかにできたTi金属のアロイスバイク211によってもリークが生じることになる。また、CVD酸化膜206上の積層部分においては、コンタクト形成に関与しない高融点金属が上部のアルミ層と化合物を形成してしまい、電極配線を早めに劣化させる。

【0008】そこで上記の問題を避けるために多結晶シリコンを用いる。半導体基板101上に形成されたソース、ドレイン拡散領域105はゲート酸化膜103およびフィールド酸化膜102で覆われており、半導体素子を覆う絶縁層のCVD酸化膜106に設けられたコンタクト孔110には、最下層に多結晶シリコン膜107があり、その上にバリアメタルと呼ばれる高融点金属複合膜108が形成され、その上にアルミ合金電極109が形成されている。高融点金属複合膜108は上層と下層とに別れ、例として下層がTi、上層はTiNの構成となっている。

【0009】この多結晶シリコン膜107のシリコンは元々基板材であって、異常拡散の生じることがない。また、多結晶シリコン膜107の上層部のシリコンはTiとシリサイドを形成し、体積変化はこの層の中で生じて拡散領域105には影響しない。このTiシリサイドは約 $17\mu\Omega\cdot\text{cm}$ でTi金属の比抵抗値(約 $45\mu\Omega\cdot\text{cm}$)よりも低抵抗であるため、導電性が確実になるばかりでなく、絶縁層上の段差の部分で配線が細くなって抵抗が上がるのを補う効果もある。

【0010】本実施例の製造工程は、図3に示すように、MOS型集積回路の製造工程において、コンタクト孔を形成する所までは従来と変わらない。図3(a)はコンタクト孔が形成された状態を示している。そこで高融点金属複合膜108を形成する前に、図3(b)のように

多結晶シリコン膜107を形成する。このとき、多結晶シリコン膜107の膜厚は、この上に形成する高融点金属の量に対して化学量論組成以上の量となるような膜厚にする。また、電極部分の拡散領域105の伝導型と同じ不純物、例えば、拡散領域105がP型シリコンならばボロン(B)を同時に添加しておく(図3(c))。その後、高融点金属複合膜108を形成して(図3(d))、アルミ合金層109を形成する(図3(e))。最後にホトリソグラフ、エッチングにより、不要な多結晶シリコン107、高融点金属複合膜108、アルミ合金層109を除去して所定の配線パターンを形成して図3(f)即ち図1が得られる。

【0011】他の実施例として、図4に示したように、図1の構造に加えてコンタクト孔の底以外の内壁、即ち図1のCVD酸化膜106と多結晶シリコン層107との間に、CVD窒化膜411を形成する。これはソース、ドレインの拡散領域を形成するイオン注入でCVD酸化膜106上に注入される不純物がその後の熱処理によってBP SG(ボロンリン酸ガラス)を形成しており、この不純物が多結晶シリコン膜へ拡散してソース、ドレインの伝導型と異なる伝導型(拡散領域がP型ならリンが入り込むことでN型になる)になり、オーミックコンタクトが不良になることを防ぐ役割を果たす。以上のように、本発明は超微細化に対応した電極コンタクトの形成を提供している。

【図面の簡単な説明】

【図1】本発明の一実施例を示す半導体装置の模式断面図。

【図2】従来の一実施例を示す半導体装置の模式断面図。

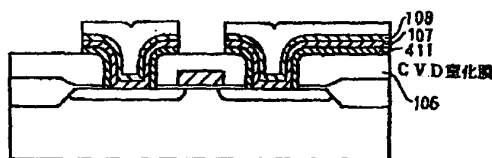
【図3】本発明の実施例の製造工程を示す模式断面図。

【図4】本発明の別の実施例を示す模式断面図。

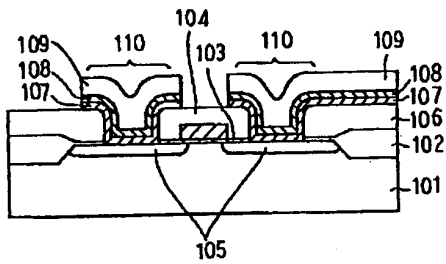
【符号の説明】

- 101 半導体基板
- 107 多結晶シリコン
- 108 高融点金属複合膜
- 110 コンタクト孔
- 208 高融点金属複合膜
- 211 アロイスバイク
- 411 CVD窒化膜

【図4】

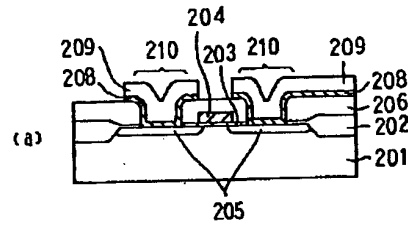


【図1】



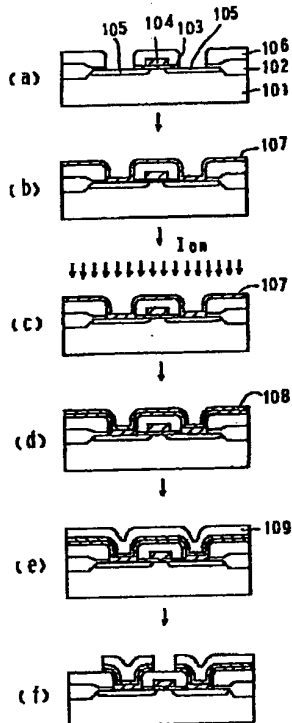
- 101 ... 半導体基板
102 ... フィールド酸化膜
103 ... ゲート酸化膜
104 ... ゲート電極
105 ... ソース、ドレイン
106 ... CVD酸化膜
107 ... 多結晶シリコン
108 ... 高融点金属合金膜
109 ... アルミ合金電極
110 ... コンタクト孔

【図2】

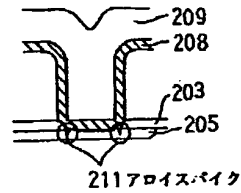


- 201 ... 半導体基板
202 ... フィールド酸化膜
203 ... ゲート酸化膜
204 ... ゲート電極
205 ... ソース、ドレイン
206 ... CVD酸化膜
207 ... 多結晶シリコン
208 ... 高融点金属合金膜
209 ... アルミ合金電極
210 ... コンタクト孔

【図3】



(b)



211アロイスバイク

PAT-NO: JP406163877A

DOCUMENT-IDENTIFIER: JP 06163877 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 10, 1994

INVENTOR-INFORMATION:

NAME

ITO, HIROYASU

ASAI, SHOKI

SHIMAMOTO, TAKANORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NIPPONDENSO CO LTD

N/A

APPL-NO: JP04335213

APPL-DATE: November 19, 1992

INT-CL (IPC): H01L029/46, H01L021/90 , H01L021/336 , H01L029/784

US-CL-CURRENT: 257/763, 257/764 , 257/915

ABSTRACT:

PURPOSE: To improve the service life of a semiconductor device by forming contact holes in corresponding to an increase in degree of integration.

CONSTITUTION: In contact holes 110 formed through the insulating layer 106 of a CVD oxide film coating semiconductor elements, polycrystalline silicon films 107, high-melting point metallic composite films 108 of a barrier metal, and aluminum-alloy electrodes 109 are successively formed on their bottoms.

Each film 108 is composed of a TiN upper layer and Ti lower layer. The silicon used in the films 107 is usually used for forming substrates and does not cause any abnormal diffusion. In addition, the silicon in the upper-layer sections of the films 107 forms a silicide and the volume change of the silicon only occurs within the upper layer sections and does not affect diffusion areas 105. Since the Ti silicide has a resistivity value of about $17\mu\Omega\cdot\text{cm}$ which is lower than that (about $45\mu\Omega\cdot\text{cm}$) of the Ti metal, the film 107 can surely obtain conductivity and can offset a resistance rise due to the narrowed part of wiring at a step part on the insulating layer.

COPYRIGHT: (C)1994,JPO&Japio